

Projektarbeit in den Bachelor-Studiengängen
Elektrotechnik und Informationstechnik
Nanoengineering
International Studies in Engineering

Thema:

Simulation, Dokumentation und Layout von zwei PLL-Topologien

Themenbeschreibung:

Im Rahmen dieser Projektarbeit sollen mindestens zwei PLL-Topologien erarbeitet und miteinander verglichen werden. Eine PLL (Phase Locked Loop) ist ein geschlossener Regelkreis, der das Ausgangssignal mit einem Eingangsreferenzsignal vergleicht und solange die Phase des Ausgangssignals verstellt bis die Phase mit der Phase des Eingangssignals übereinstimmt.

Die Anwendungen von PLLs sind vielfältig. So werden diese Regelkreise in den Frequenz-Synthesizern verwendet um programmierbare Frequenzen zu erzeugen. Weitere Anwendungen von PLLs finden sich in der drahtlosen Kommunikation. Sie werden dort als lokale Oszillatoren, Demodulatoren, Filter und in der Taktrückgewinnung eingesetzt.

Für den Entwurf der Schaltkreise steht eine 0,35 μm CMOS-Technologie zur Verfügung. Die Simulationen werden mit den Tools der Firma Cadence durchgeführt. Zum Arbeitsumfang gehören die Erarbeitung der Konzepte, deren Realisierung in Form eines simulierbaren Schaltkreises und die Dokumentation der Ergebnisse. Weitere Aufgabe ist die Charakterisierung der Schaltung bezüglich ihrer parasitären Eigenschaften. Hierzu wird es notwendig sein ein Layout zu erstellen, das in den weiteren Simulationen verifiziert werden soll.

Team:

bis zu 4 Personen

Vorkenntnisse:

- | | |
|--|-------------------------------|
| • Grundkenntnisse integrierte Schaltungen | erforderlich |
| • Erfahrung im Layout von analogen Schaltungen | hilfreich, nicht erforderlich |
| • Erfahrung mit der Schaltungssimulation | hilfreich, nicht erforderlich |

Ansprechpartner:

Name: Dennis Faber

Tel.: 0203 / 3783-2966

Email: dennis.faber@ims.fraunhofer.de