

# Vortrag der Diplomarbeit

Entwicklung eines Continuous-Time Delta-Sigma Modulators für den Einsatz in der Positronen-Emissions-Tomographie

von

Haiyan Zhou

07.09.2009



Fachgebiet  
Hochfrequenztechnik  
Prof. Dr.-Ing. K. Solbach



# Überblick und Gliederung:

Teil 1: CT  $\Delta\Sigma$  Modulator Architektur

Teil 2: Design Variante im systematischen Level

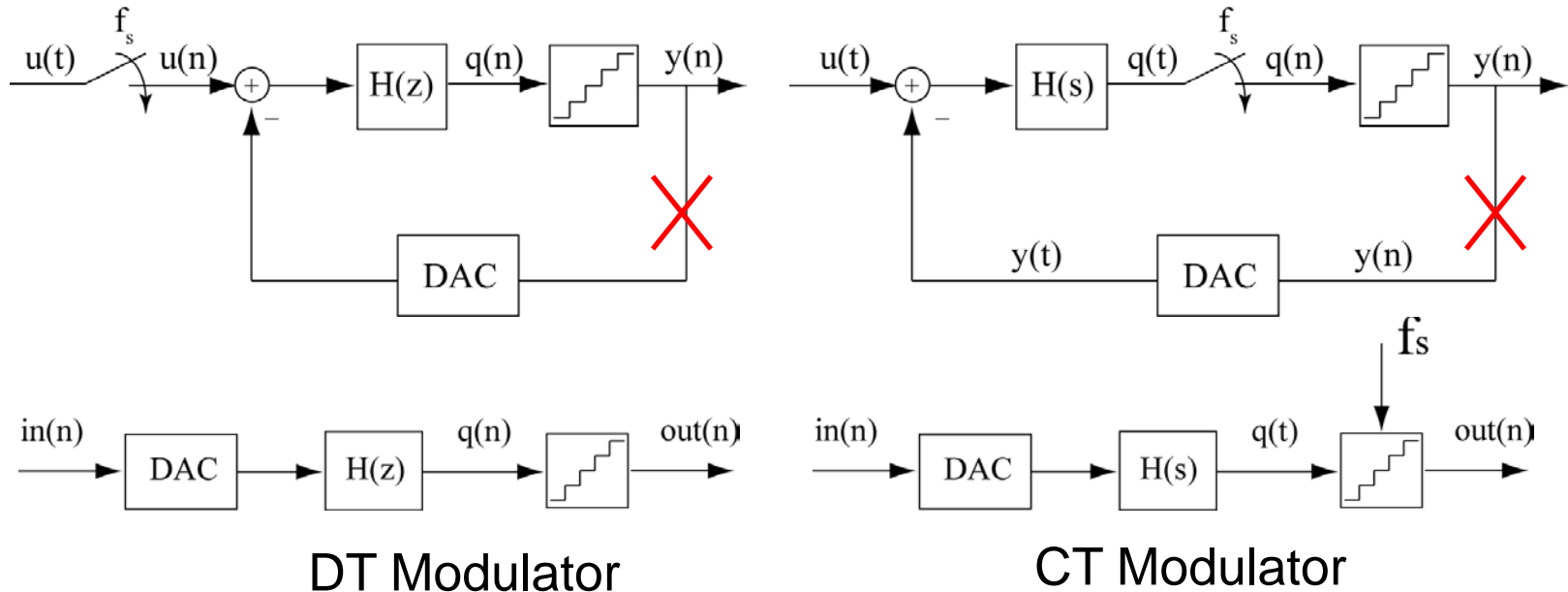
Teil 3: Implementierung in der Schaltung

# Teil 1

## Continuous-Time

## $\Delta\Sigma$ Modulator Architektur

# Vergleich von DT und CT $\Delta\Sigma$ Modulatoren



Impulse Invariant Transformation:

DT und CT Modulatoren sind äquivalent, wenn:

$$q(n) = q(t)|_{t=nT_s}$$

$$Z^{-1}\{H(z)\} = L^{-1}\{R_{DAC}(s)H(s)\}|_{t=nT_s}$$

## Vorteile von CT $\Delta\Sigma$ Modulatoren:

- Implizite Anti-Aliasing Filterung
- Reduzieren der S/H Fehler
- Höhere Abtastfrequenz als bei SC
- Geringere Anforderungen an die OpAmp Geschwindigkeit als bei SC

## Nachteile von CT $\Delta\Sigma$ Modulatoren:

- Erhöhte Empfindlichkeit für Clock Jitter
- Hohe Empfindlichkeit für Excess Loop Delay
- Nicht Matching kontrollierte Integrator Verstärkung

## Design Ziel:

- Signal-Rausch Abstand  $> 70\text{dB}$
- Optimierung auf geringe Energieaufnahme
- Signalbandbreite von  $500\text{ kHz}$

## Kompromiss suchen zwischen:

- Loop Filter Ordnungszahl  $L$
- Quantizer Bit Anzahl  $N$

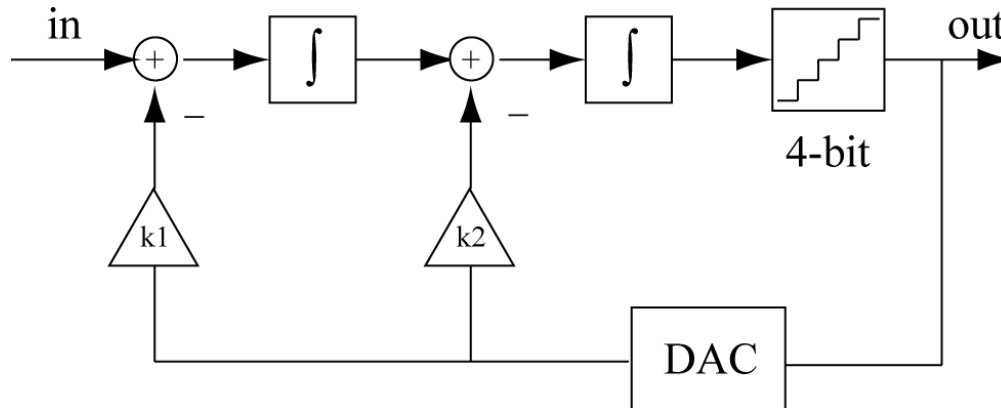
## Design Entscheidung:

- Loop Filter mit Single Stage, 2-Ordnung Integrator
- 4-Bit Quantizer
- OSR = 50 bei einer Abtastrate von  $50\text{ MHz}$

# Teil 2

## Design Variante im systematischen Level

## Ideales Modell eines Modulators in Matlab:



Optimierte Koeffizienten  
durch Simulation:  
 $k_1=1$ ;  $k_2=1,5$

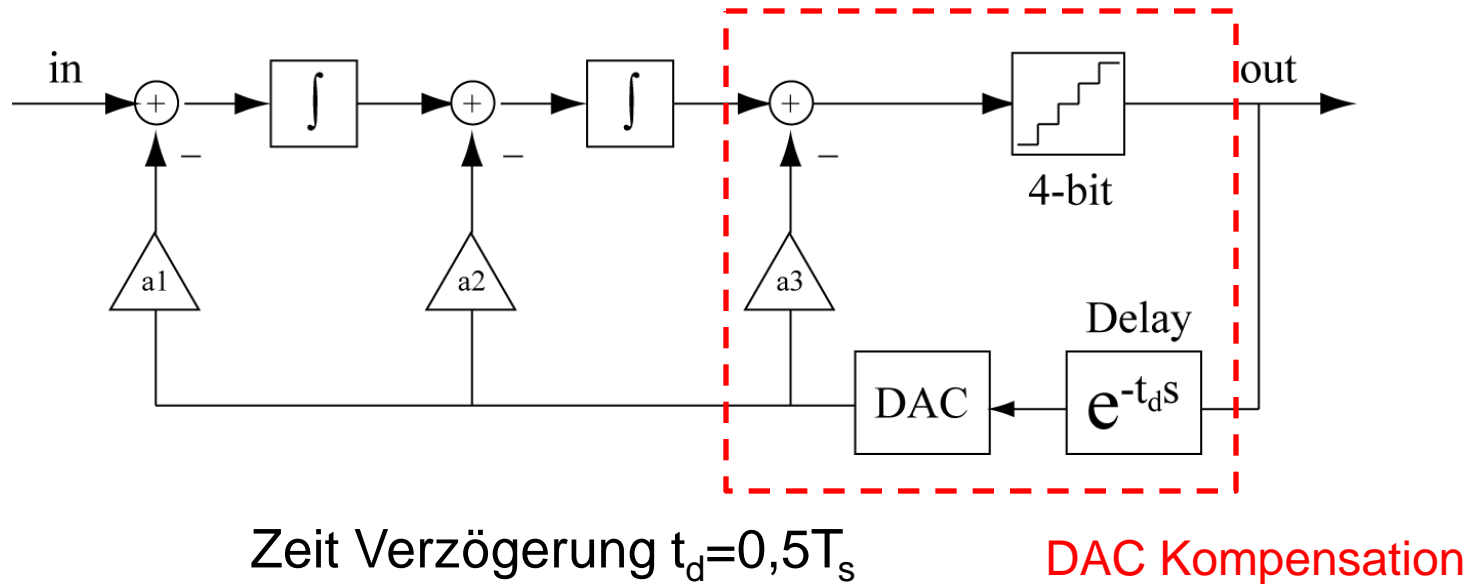
- Berücksichtigen der Stabilität mit  $\pm 20\%$  Koeffizienten Abweichungen
- SNR  $\approx 95\text{dB}$

Problem: Excess Loop Delay  $\rightarrow$  Instabiles System (ab ca.  $0,3 T_s$ )

Lösung: zusätzliche Rückkopplung direkt zum Quantizer mit DAC  
Verzögerung  $\rightarrow$  um Excess Loop Delay zu kompensieren



## Modulator Modell mit DAC Kompensation:



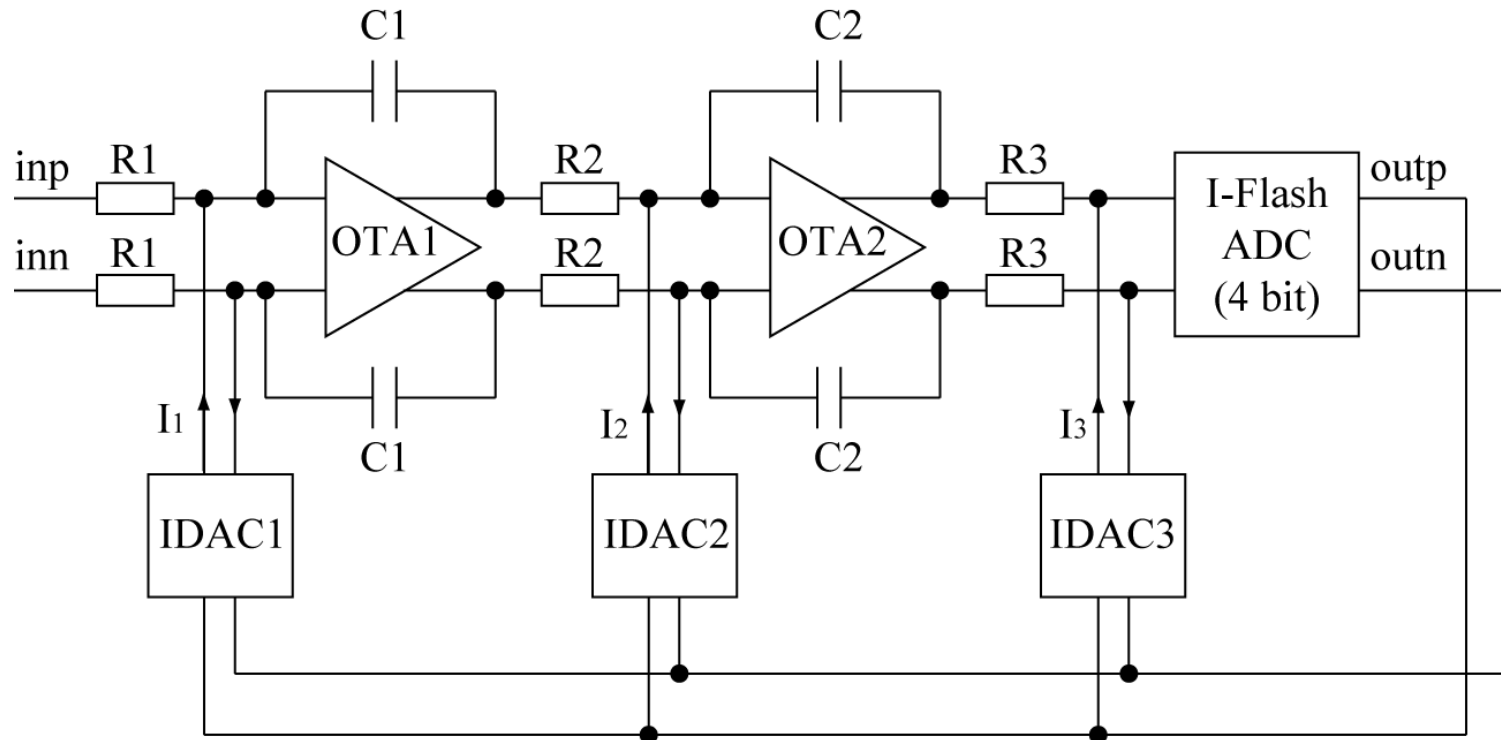
Analytische Berechnung der Koeffizienten:

$$a_1=k_1; \quad a_2=k_1 \cdot t_d+k_2; \quad a_3=(k_1 \cdot t_d^2) / 2+k_2 \cdot t_d \quad (*)$$

$$\rightarrow a_1=1; \quad a_2=2; \quad a_3=0,875$$

(\*) Quelle: Continuous Time Sigma-Delta A/D Conversion, M.Ortsmanns, F.Gerfers

# Umwandeln in Cadence mit HDL Modellen:



## Bauelemente Variablen bestimmen:

Untersuchung der Modulator Stabilität in Corner Analyse:

Problem: Widerstände Schwankung um ca.  $\pm 35\%$

Lösung: mittels Trimming

→ Abweichung reduzieren auf ca.  $\pm 10\%$

$C_1 = I_1 / (f_s \cdot a_1);$		$C_1 = 400\text{fF};$		$C_1 = 400\text{fF};$
$C_2 = I_2 / (f_s \cdot a_2);$		$C_2 = 200\text{fF};$		$C_2 = 200\text{fF};$
$R_1 = V_{FS} / (f_s \cdot C_1);$	Rechnung	$R_1 = 50\text{k}\Omega;$	Corner	$R_1 = 70\text{k}\Omega;$
$R_2 = 1 / (f_s \cdot C_2);$	→	$R_2 = 100\text{k}\Omega;$	→	$R_2 = 140\text{k}\Omega;$
$R_3 = a_3 / I_3;$		$R_3 = 290\text{k}\Omega;$	berücksichtigen	$R_3 = 200\text{k}\Omega.$

wobei  $I_1, I_2, I_3$  sind Full-Scale Ströme von DAC Ausgängen;  
 $V_{FS}$  ist Full-Scale Spannung von Modulator Eingängen.

# HDL Modellen Parametern:

- Flash ADC:
  - $I_{\text{ref,max}}=2\mu\text{A}$ ;
  - ADC delay=10ns;
  
- Feedback DAC<sub>1,2</sub>:
  - $I_{\text{FS}}=15\mu\text{A} \rightarrow 1 \text{ Stufe}=1\mu\text{A}$
  
- Feedback DAC<sub>3</sub>:
  - $I_{\text{FS}}=3\mu\text{A} \rightarrow 1 \text{ Stufe}=0,2\mu\text{A}$
  
- OTA<sub>1,2</sub>:
  - DC Gain=40dB;
  - GBW=20MHz -- 50MHz

# Teil 3

## Implementierung in der Schaltung

## Zu implementierende Komponenten:

- Quantizer (4-bit Flash ADC)
- Feedback DAC
- Loop Filter (RC Integrator)

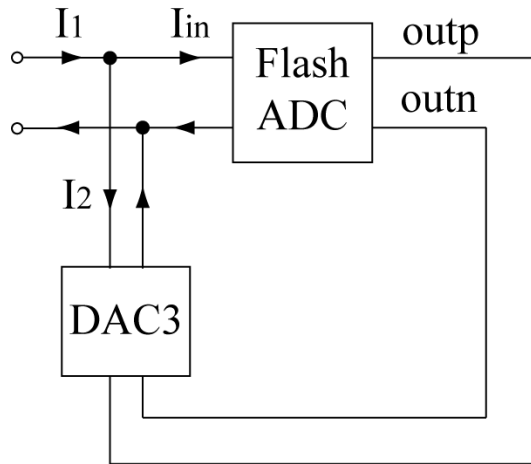
## Schwerpunkte:

- Quantizer mit Rückkopplung
  - Integration von Flash ADC und DAC3
  - Summe Operation realisieren
  - Komparator Delay
- IDACs als Feedback DAC
  - Richtige Stromversorgung
- OTA Variante für Integrator
  - DC Gain Anforderung
  - GBW Anforderung

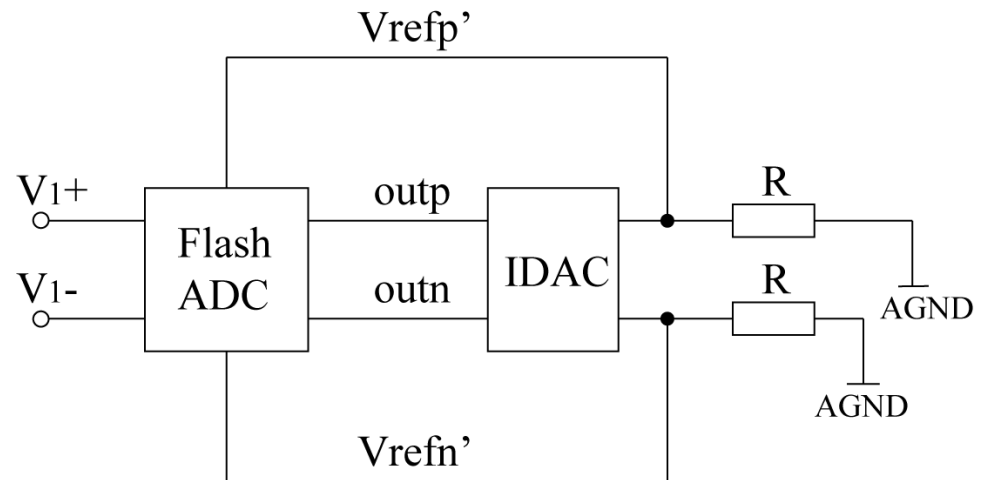
# 1. Quantizer implementieren:

Summe Operation durch äquivalente Effekte:

HDL Modell



Schaltung Modell



$$I_{in} = I_1 - I_2$$

$$V_{in} = V_1 - V_2$$



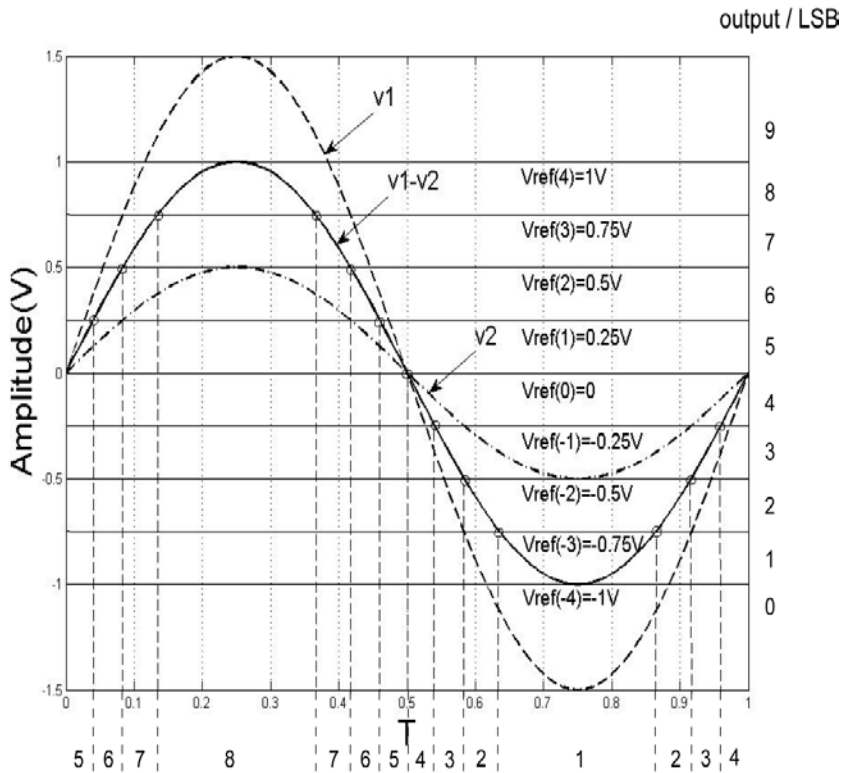
$$V_{ref}' = V_{ref} + V_2$$

$V_{in}$  mit Referenz  $V_{ref}$

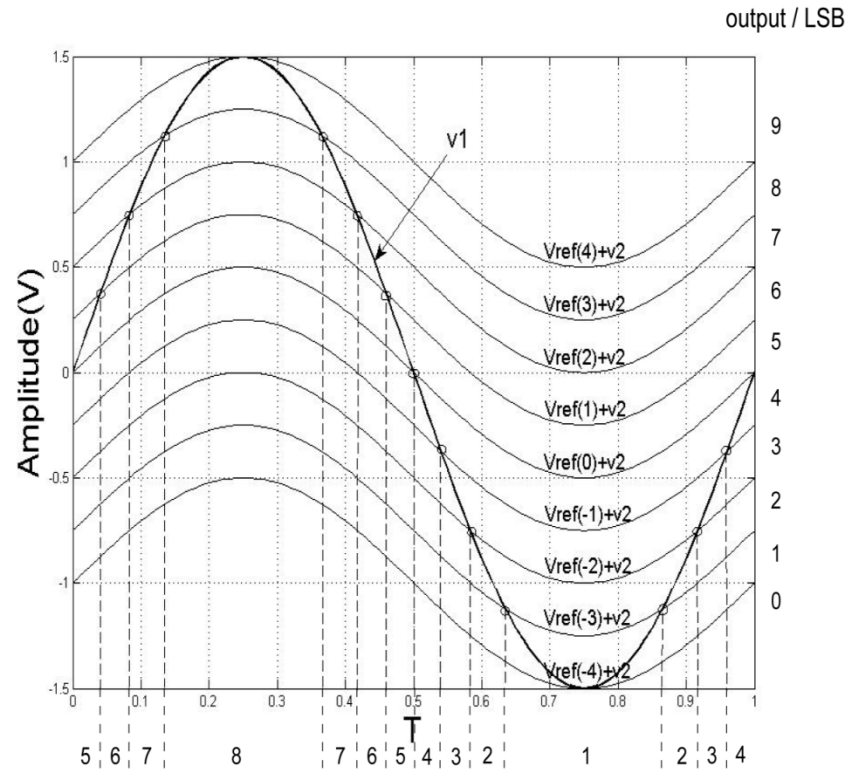


$V_1$  mit Referenz  $V_{ref}'$

# Summe Operation durch äquivalente Effekte:



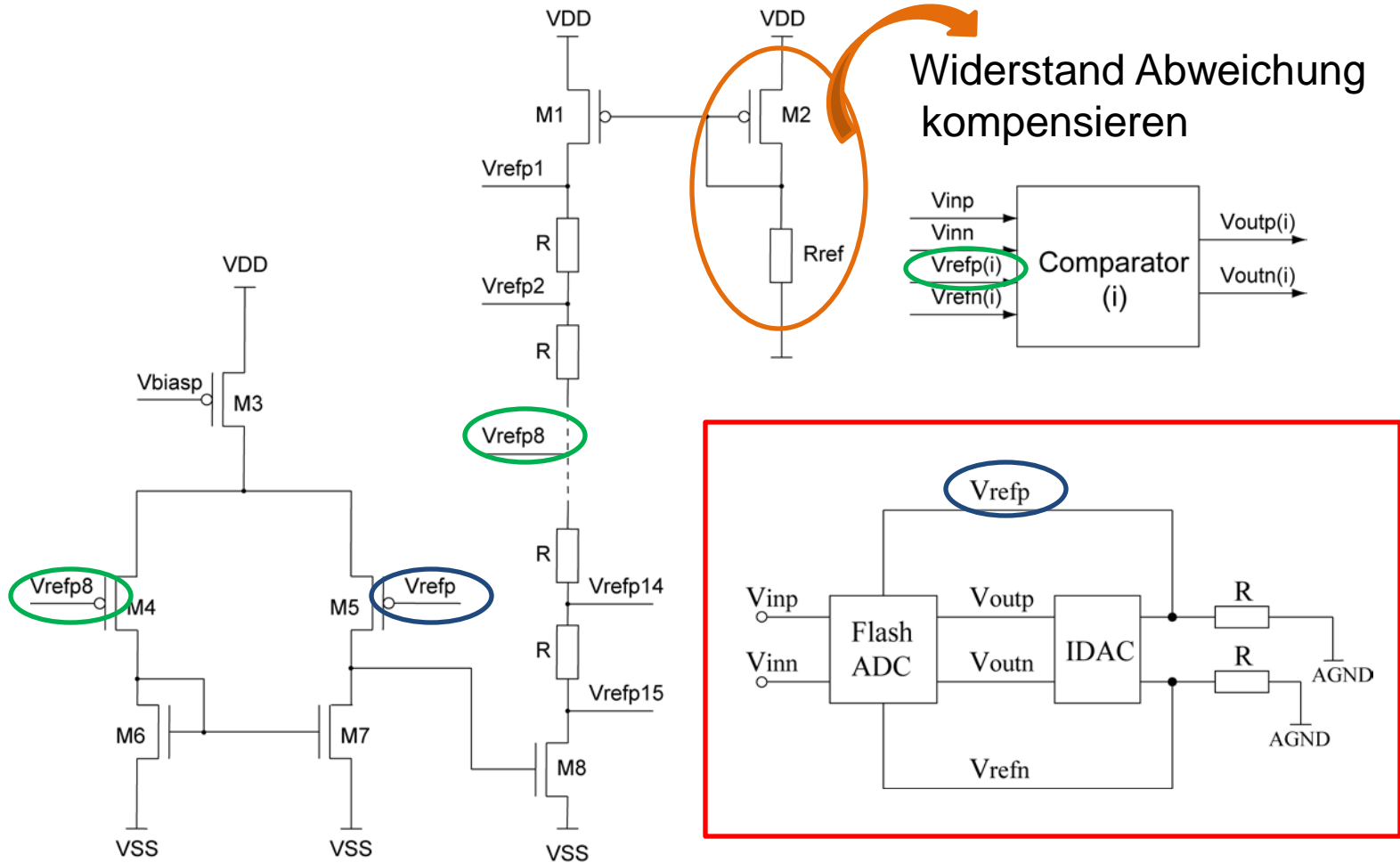
$V_{in} (V_1 - V_2)$  mit Referenz  $V_{ref}$



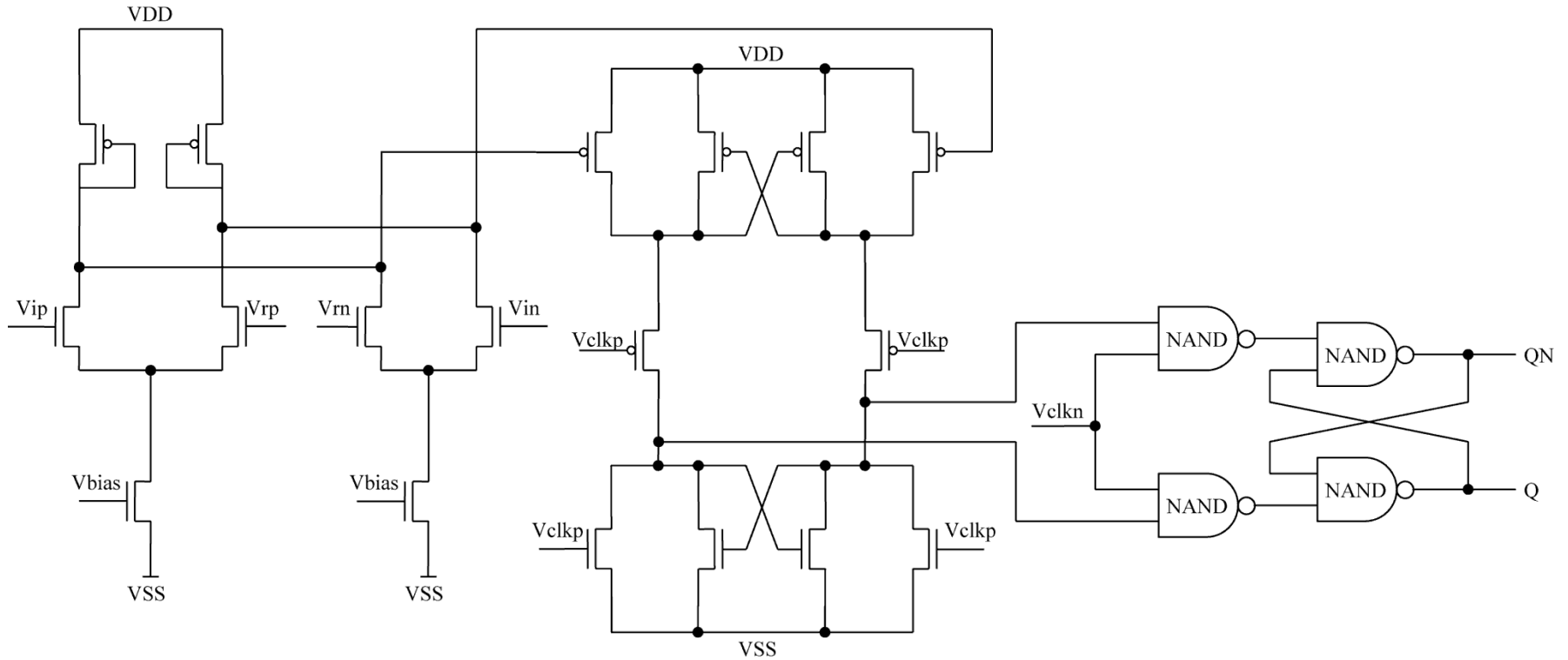
$V_1$  mit Referenz  $V_{ref}' (V_{ref} + V_2)$



# Flash ADC mit gesteuerten Referenz Spannungen:



# Latched Komparator mit Verzögerung von $0,5 T_s$ :



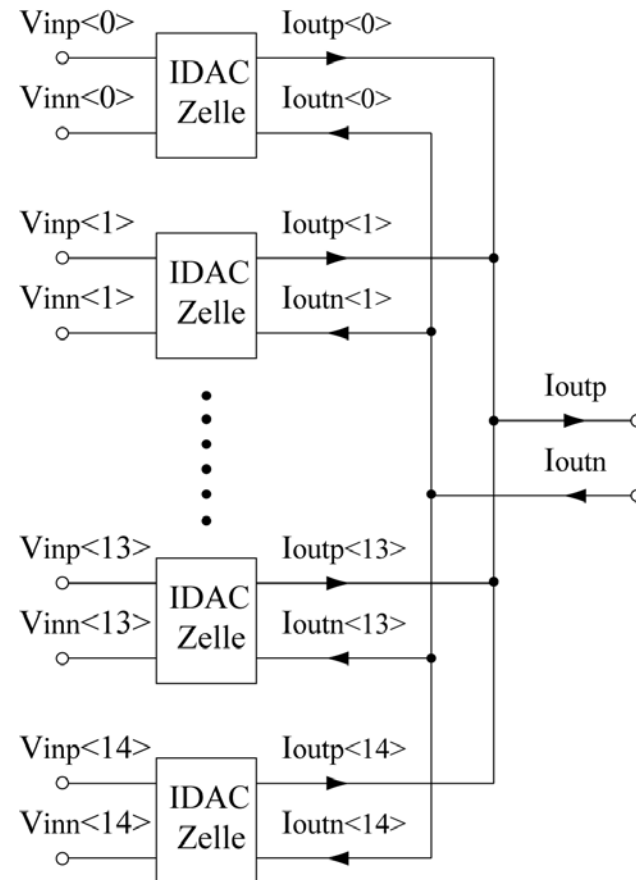
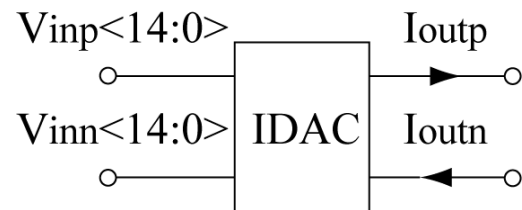
Pre - Amplifier

Regenerative Latch

Clocked RS - Latch

## 2. Feedback DAC implementieren:

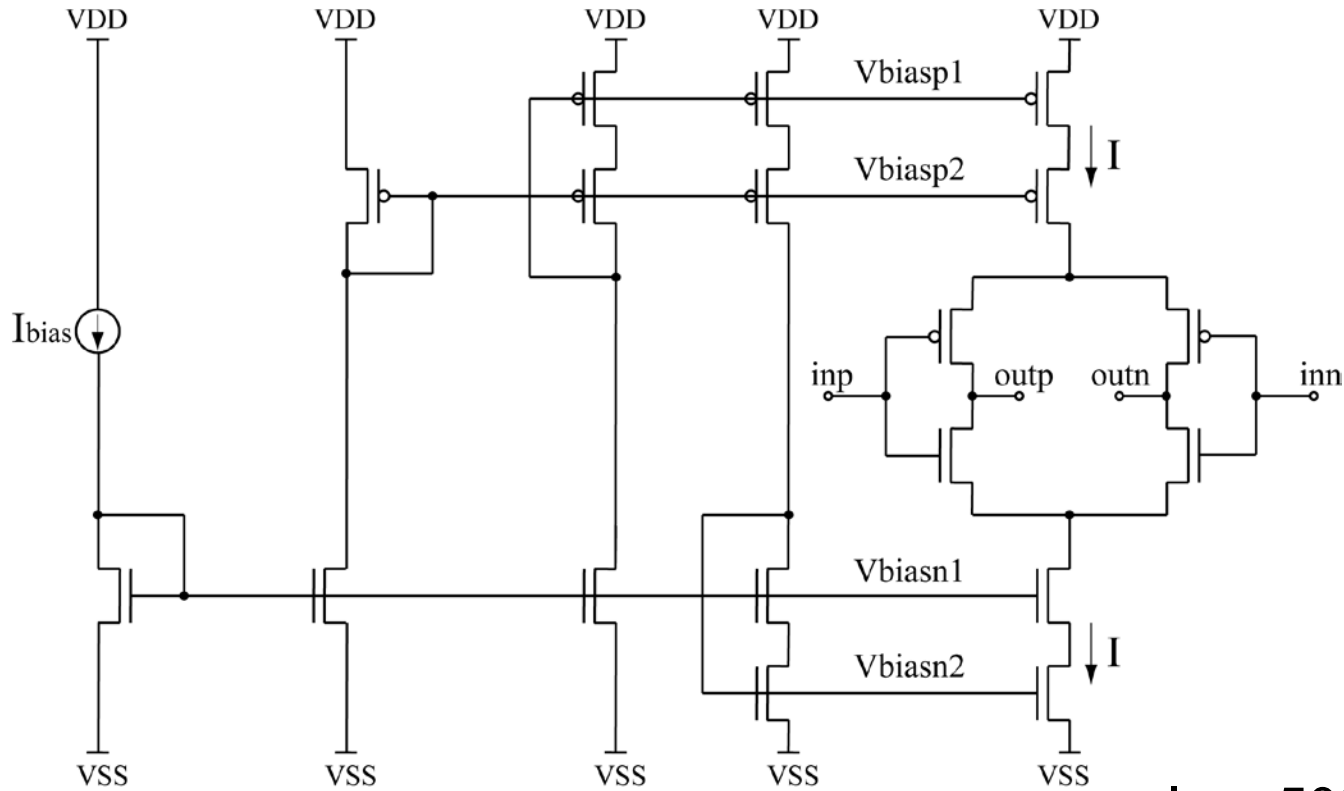
4-bit IDAC durch 15 IDAC Zellen realisieren



Max.  $I_{out} \approx 7,5\mu A$  für IDAC<sub>1,2</sub>

Max.  $I_{out} \approx 1,5\mu A$  für IDAC<sub>3</sub>

# Einzige IDAC Zelle: mit Kaskode Stromspiegeln

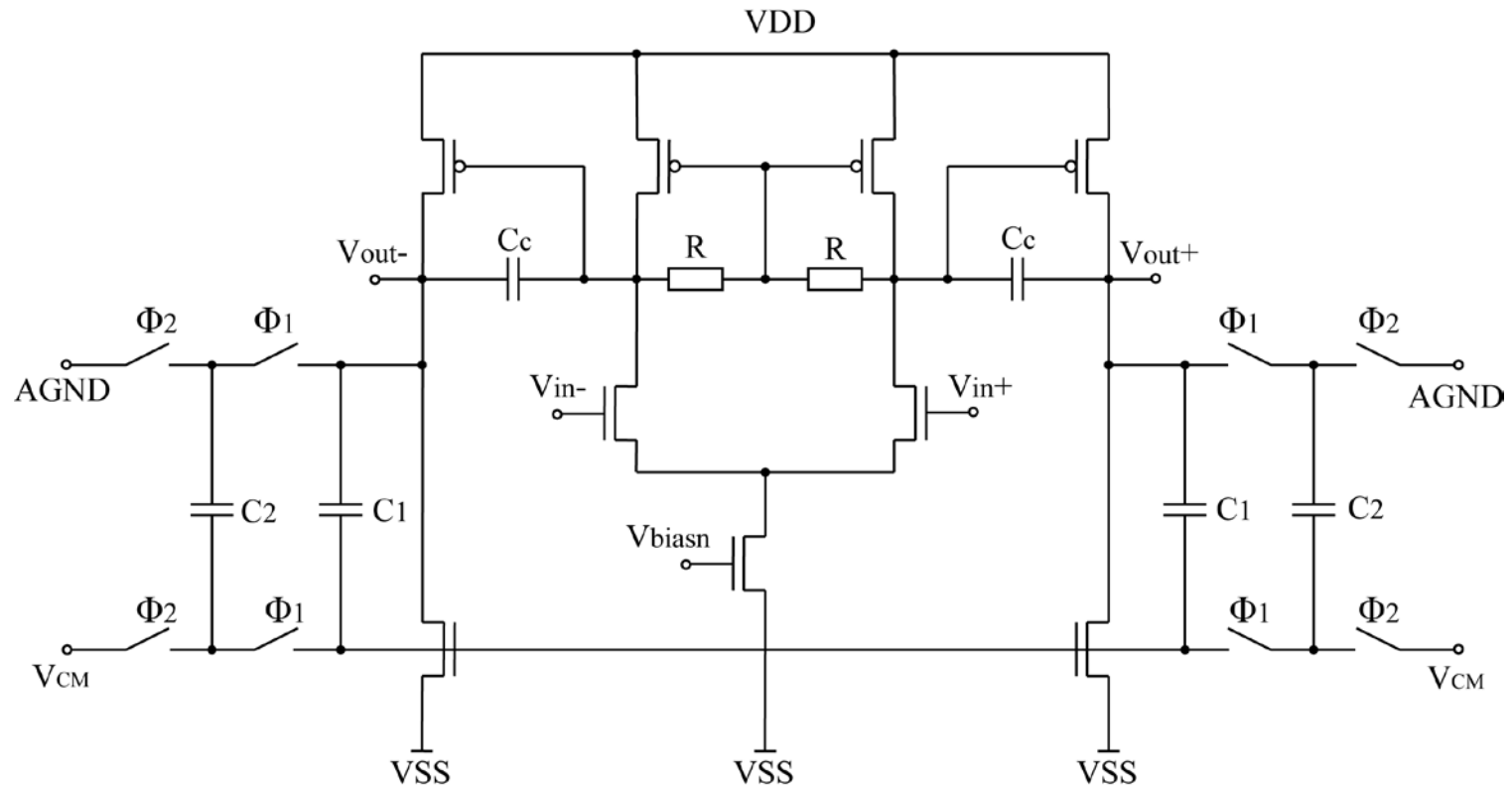


$I_{bias} = 500\text{nA}$  für IDAC<sub>1,2</sub>  
 $I_{bias} = 100\text{nA}$  für IDAC<sub>3</sub>

### 3. Loop Filter Implementieren:

- 2-stufige OTA
- RC Integrator

- 1.Stufe: Local CMFB
- 2.Stufe: SC CMFB



## OTA Parameter:

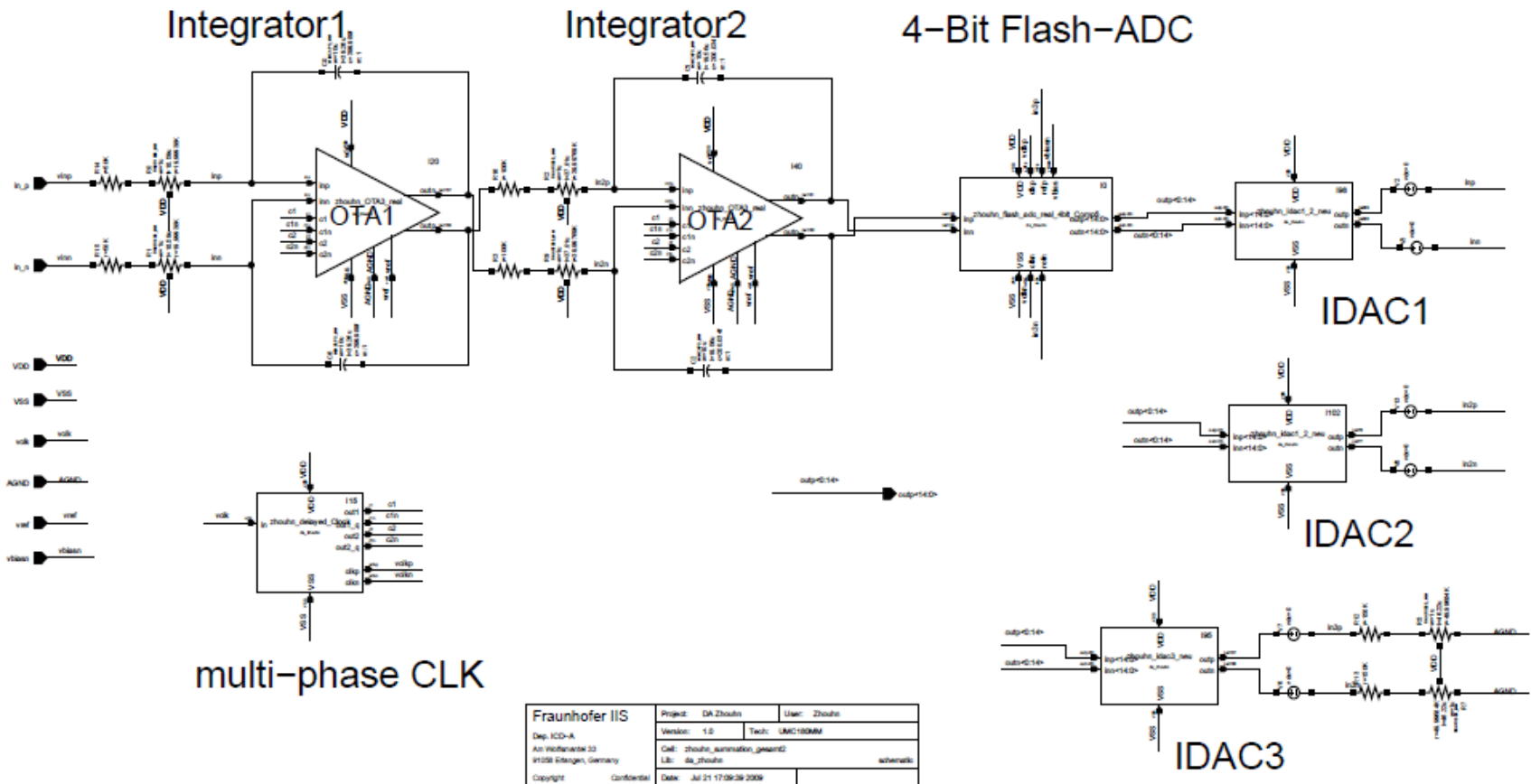
R=100k $\Omega$ ;  
Cc=500fF;

Schalter für SC CMFB:  
mit Transmission Gate

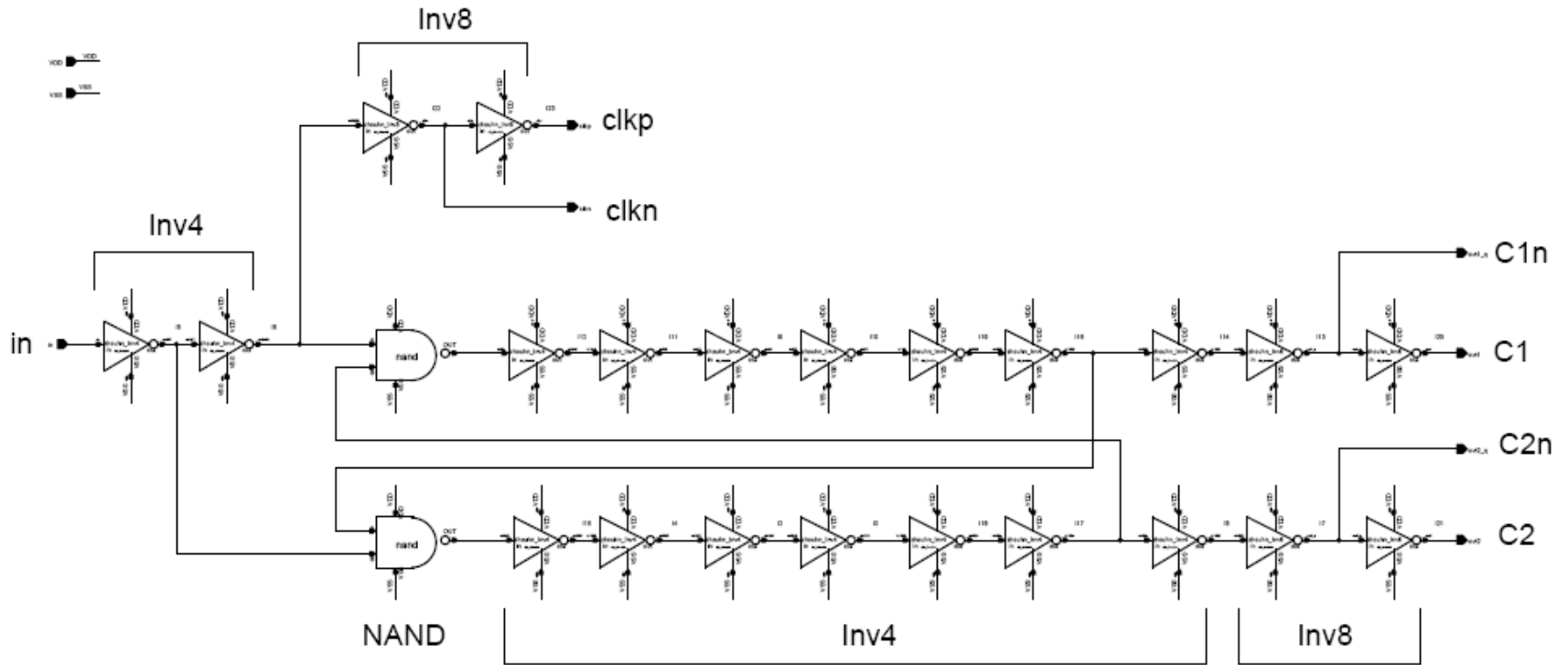
## Simulation Ergebnisse (für typische Corner):

DC Gain	40,4 dB
GBW	30,2 MHz
Phase Reserve	63,8 grad
Settling Zeit	30 ns
Slew Rate	31,2 V/ $\mu$ s
Spannung Versorgung	1,8 V
Last Widerstand	100 k $\Omega$
Last Kapazität	400 fF

# Simulation für gesamten Modulator:



# Multi-Phase Clock Generation:

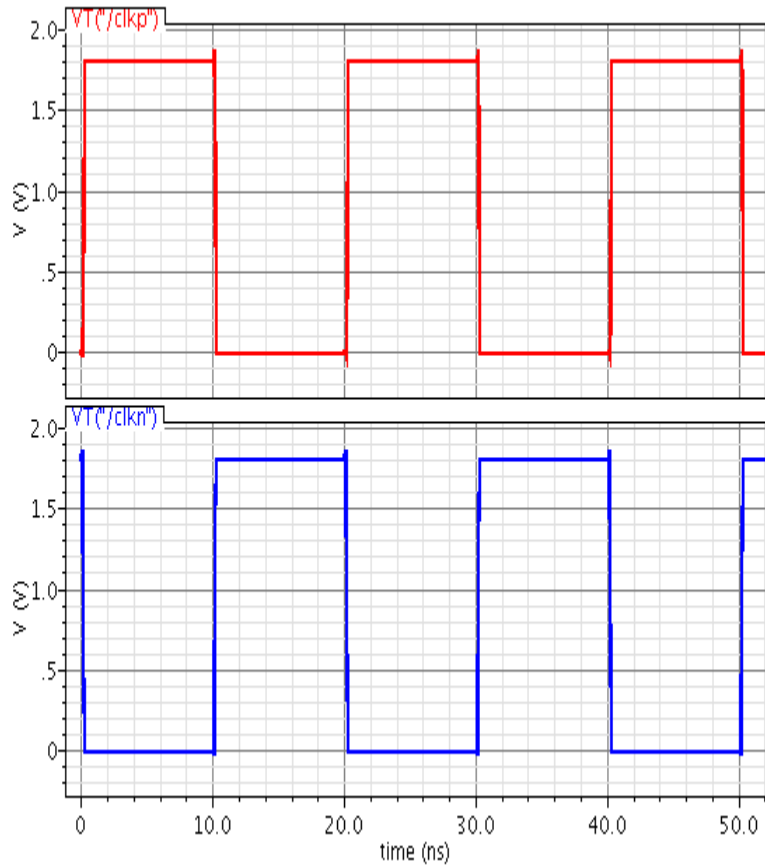


Fraunhofer IIG	Project: GSI/Design	Doc: Design
Dep: K2-D-4	Version: 1.0	Tool: Linc/IBIS
no: 0000000000	Doc: clock_generator_clock	
© 2008 Fraunhofer IIG	Doc: clock_generator_clock	allrights
Copyright: Confidential	Date: Jul 9 10:08:17 2008	



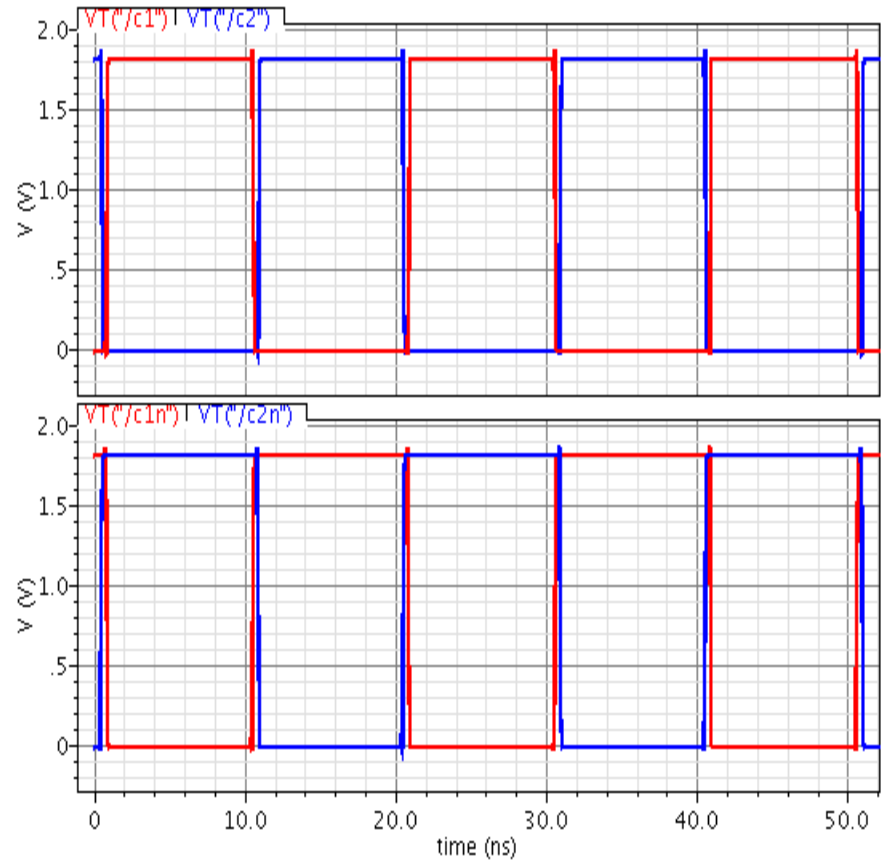
# Transient Simulation von Clock Phase:

Transient Response



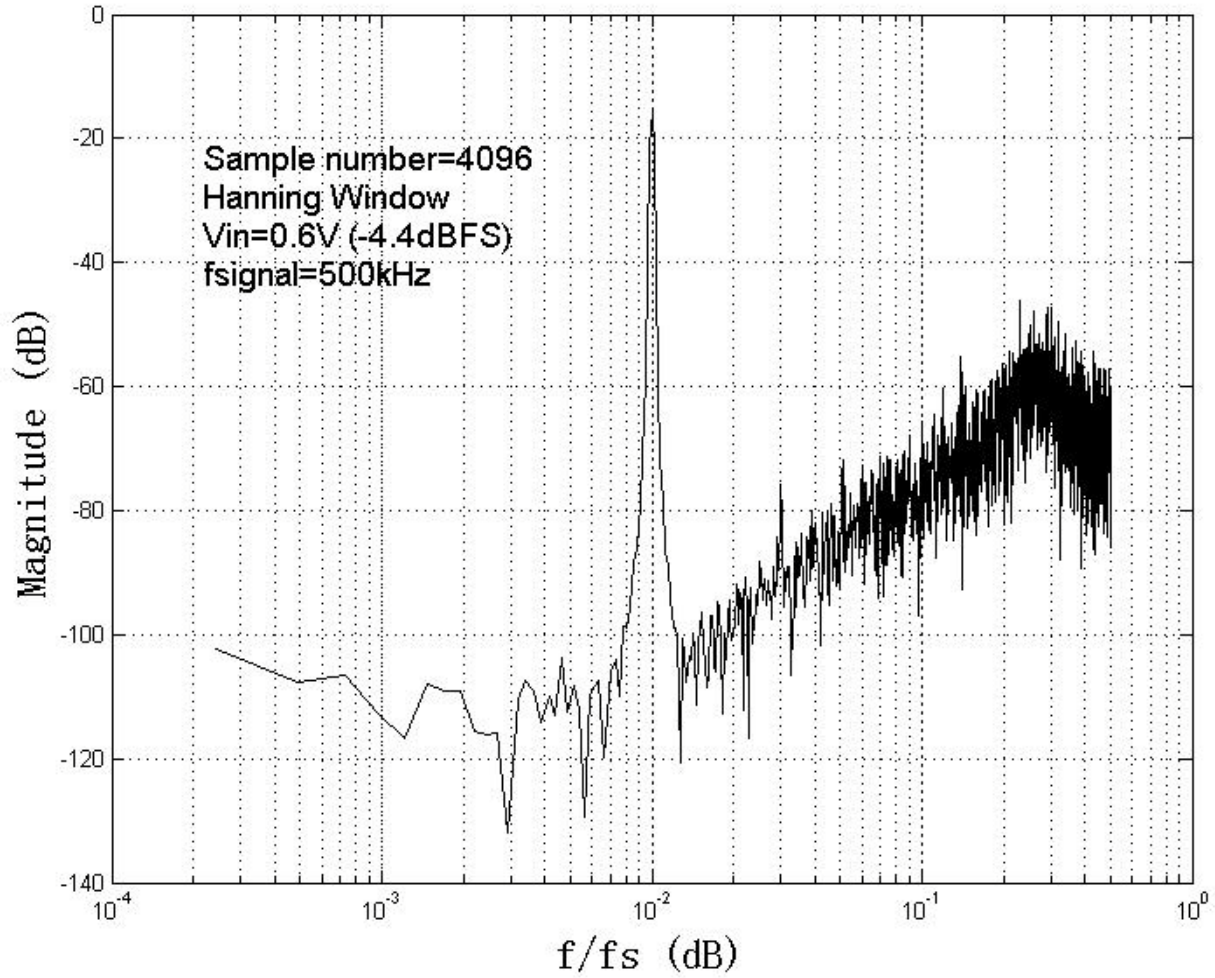
clkp und clkn  
für Latched Komparator

Transient Response



c1, c1n, c2 und c2n  
für OTA CMFB

# Ausgang PSD plot:



## Simulation Ergebnisse (für typische Corner):

Signal Bandbreite	500 kHz
Abtast Frequenz	50 MHz
OSR	50
Dynamic Range	81 dB
SNR	78,3 dB
Spannung Versorgung	1.8 V
Energie Verbrauch	3,78 mW
Technologie	0,18 $\mu\text{m}$ CMOS

# Zusammenfassung:

- Modulator Design im systematischen Level:  
2-Ordnung Loop Filter, 4-Bit Quantizer  
1/2 Takt Perioden Dauer Delay für Kompensation
- Modulator Design im Schaltung Level:  
interne 4-Bit Flash-ADC  
Current-Mode Feedback DAC  
OTA design für Integrator  
Non-overlapping Clock Generation

# Zukünftige Arbeit:

- Dynamic Element Matching (DEM) implementieren
- Layout entwerfen und Chip testen

Vielen Dank  
für Aufmerksamkeit!