

WISSENSCHAFT UND WIRTSCHAFT IN EINEM JOB GEHT NICHT.

**DOCH.**

Finden Sie es heraus bei Fraunhofer.

HABEN SIE LUST GANZ VORNE DABEI ZU SEIN, WENN DIE ZUKUNFT ENTSTEHT? DAS FRAUNHOFER-INSTITUT FÜR MIKROELEKTRONISCHE SCHALTUNGEN UND SYSTEME IN DUISBURG VERGIBT ZUM NÄCHSTMÖGLICHEN TERMIN EINE

## **ABSCHLUSSARBEIT ZUM THEMA: „CONTINUOUS DEPLOYMENT-UMGEBUNG FÜR DIE RISC-V PROZESSORENTWICKLUNG“**

Die Entwicklung moderner Prozessoren erfordert die Zusammenarbeit von großen Teams an verschiedenen Standorten. Dabei kommen wie in der Softwareentwicklung Versionskontrollsysteme zum Einsatz, mit deren Hilfe eine gemeinsame Codebasis für Hardware-Beschreibungen, Testumgebungen und Firmware gepflegt wird. Eine Herausforderung besteht darin, stets eine stabile und ausführbare, regressionsfreie Datenbasis vorzuhalten und instabile Designzustände nicht in die Datenbasis aufzunehmen.

Hilfsmittel sind dabei Continuous Deployment-Umgebungen mit sogenannten gated commits, die im Rahmen einer Abschlussarbeit erstellt werden sollen. Ziel ist es, dass jede eingetragene Änderung an der Datenbasis automatisiert zur Erzeugung und dem Test aller Entwicklungsobjekte führt. So wird z.B. mit dem eingetragenen Verilog-Code automatisch eine Synthese durchgeführt sowie eine Netzliste erzeugt und simuliert. Aus diesen Simulationsergebnissen wird anschließend ein Report generiert. Gleichzeitig wird aus dem Verilog Code ein FPGA-Bitstream erzeugt, der auf eine Gruppe von FPGA-Testboards geladen, mit Benchmarks bespielt und getestet wird. Zusätzliche automatisierte Tests können die Einhaltung bestimmter Coding-Konventionen überprüfen oder wichtige Randbedingungen für die ASIC-Implementierung (z.B. die benötigte Chipfläche) auswerten.

### **Was Sie mitbringen:**

- Studium im Bereich Elektrotechnik, Informatik, Physik oder eines anderen technischen Studiengangs
- Kenntnisse im Bereich UNIX/Linux-Umgebungen
- Erfahrung im Programmieren von Skripten in einer unter Linux-Systemen üblichen Skriptsprache
- Grundlegendes Verständnis der Entwicklungsabläufe von digitalen Schaltungen (HDL-Programmierung, Synthese, Place & Route)
- Grundkenntnisse in Verilog/VHDL und in der elektrischen Labor-/Messtechnik (Umgang mit Oszilloskop, einfache Lötarbeiten)
- Eigenständige und zuverlässige Arbeitsweise, Kreativität sowie ein hohes Maß an Kommunikations- und Teamfähigkeit

Interesse? Dann bewerben Sie sich bitte ausschließlich online unter: <http://www.ims.fraunhofer.de/de/Karriere.html>  
Bitte beachten Sie, dass wir Bewerbungen per E-Mail oder Post leider nicht berücksichtigen können.

Bitte übermitteln Sie bei Ihrer Bewerbung Ihre vollständigen Unterlagen (Motivationsschreiben, chronologischer Lebenslauf, aktueller Notenspiegel im Studium, Arbeitszeugnisse bisheriger beruflicher Erfahrungen/ Praktika).

Schwerbehinderte Menschen werden bei gleicher Eignung bevorzugt eingestellt.

Wir weisen darauf hin, dass die gewählte Berufsbezeichnung auch das dritte Geschlecht miteinbezieht. Die Fraunhofer-Gesellschaft legt Wert auf eine geschlechtsunabhängige berufliche Gleichstellung.

Fragen zu dieser Position beantwortet gerne Frau Irimi Tsiftsi,  
Telefon +49 203 3783-268, E-Mail: [personal@ims.fraunhofer.de](mailto:personal@ims.fraunhofer.de)  
Weitere Informationen zum Institut finden Sie unter: [www.ims.fraunhofer.de](http://www.ims.fraunhofer.de)